НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ

"КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ"

ФАКУЛЬТЕТ ІНФОРМАТИКИ ТА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

Кафедра обчислювальної техніки

РОЗРАХУНКОВА РОБОТА

по курсу „Архітектура комп’ютерів - 2. Процесори”

Виконав: Нікітін Максим Дмитрович

Група ІО-31, Факультет ІОТ,

Залікова книжка № 3121

Номер технічного завдання 110000110001

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(підпис керівника)

Київ – 2015 р.

Зміст

["КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ" 1](#_Toc440586858)

[Кафедра обчислювальної техніки 1](#_Toc440586859)

[РОЗРАХУНКОВА РОБОТА 1](#_Toc440586860)

[1. Склад МПС та основні її функції 3](#_Toc440586861)

[1.1. Опис мікроконтролера 3](#_Toc440586862)

[1.2. Підімкнення зовнішньої пам’яті програм 4](#_Toc440586863)

[1.3. Підімкнення зовнішньої пам’яті даних 5](#_Toc440586864)

[1.4. Контролер пріорітетних переривань (КПП) 6](#_Toc440586865)

[1.5. Контролер прямого доступу до пам’яті (КПДП) 7](#_Toc440586866)

[1.6. Додаткові порти і ППА 8](#_Toc440586867)

[2. Програмна частина 10](#_Toc440586868)

[2.1. Приклад обчислення функції на мікроасемблері МК51 10](#_Toc440586869)

[3. Структурна схема системи. 11](#_Toc440586870)

[4. Висновки 12](#_Toc440586871)

[5. Список літератури. 13](#_Toc440586872)

1. Склад МПС та основні її функції

У розрахунковій роботі розроблюється мікропроцесорна система (МПС), ядром якої є мікроконтролер МК1816ВЕ51.

До складу розроблюваної МПС входять мікроконтролер(МК), зовнішня пам’ять програм (ЗПП), зовнішня пам’ять даних(ЗПД), 30 зовнішніх пристроїв (ЗП), контролер пріоритетних переривань (КПП), контролер прямого доступу до пам’яті (КПДП), додаткові порти P5, Р6, P7 та програмований периферійний адаптер КР580ВВ55.

Об’єм зовнішньої пам’яті програм – 3 сторінки по 4 КБ, зовнішньої пам’яті даних – 32 сторінки по 64 КБ. Шина адреси та даних об’єднана, КПП та КПДП централізовані.

1.1. Опис мікроконтролера

Мікроконтролер містить резидентну пам'ять програм (РПП) та резидентну пам'ять даних (РПД); пристрій управління і синхронізації, до складу якого входить лічильник команд, регістр команд і регістр ознак; арифметико-логічний пристрій, до складу якого входить АЛБ, акумулятор і регістри; блок таймерів-лічильників та блок послідовного інтерфейсу і переривань. Обмін даними здійснюється через чотири порти Р0, Р1, Р2, Р3 або через послідовний порт. Структурна схема МК51 наведена на рис. 1.1.

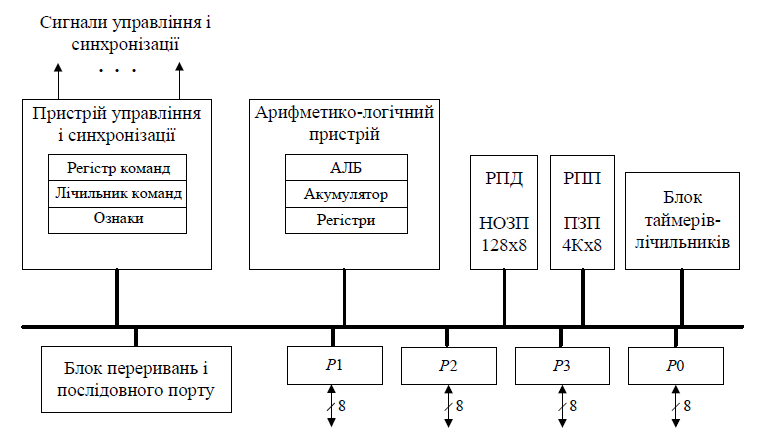


Рис. 1.1 – Структурна схема МК51

Резидентна пам’ять програм має ємність 4Кб. Призначена для зберігання команд, констант, управляючих слів ініціалізації, таблиць кодування вхідних і вихідних змінних. Резидентна пам’ять даних підключена до шістнадцятибітної шини адреси, що надходить з лічильника команд, або регістру покажчика даних.

Резидентна пам’ять даних призначена для зберігання змінних у процесі виконання програми, адресується одним байтом і має ємність 128 байт. До адресного простору резидентної пам’яті даних належать регістри спеціальних функцій.

Восьмибітний АЛП виконує арифметичні операції додавання, віднімання, множення, ділення, логічні операції – І, АБО та ВИКЛЮЧНЕ АБО, операції циклічного зсуву, скидання, інвертування, інкременту, декременту тощо.

Важливою особливістю АЛП МК51 є можливість оперувати не тільки байтами, але і бітами. Окремі програмно доступні біти можуть бути встановлені, скинуті, передані, інвертовані, проаналізовані, використані в логічних операціях.

Під час виконання багатьох команд в АЛП формуються ряд ознак, які фіксуються у регістрі слова стану програми, що належить до регістрів спеціальних функції. Ознака переносу С приймає участь і модифікується в процесі виконання великої кількості операції в АЛП, таких як додавання, віднімання, зсув, тощо. Окрім того, ознака переносу виконує дії своєрідного акумулятора під час виконання операцій з бітами. Ознака переповнення OV фіксує автоматичне переповнення під час виконання операцій зі знаками, і дає можливість реалізації арифметики в доповнювальних кодах.

Таким чином, АЛП може оперувати з чотирма типами інформаційних об’єктів: булевськими (1 біт), цифровими (4 біти), байтовими (8 біт), і адресними (16 біт). В АЛП виконується 51 операція пересилки та перетворювання даних. Застосовуються одинадцять режимів адресації – сім для даних, чотири для адресів. Шляхом комбінування операцій з різними режимами адресації базова кількість команд 111 розширюється до 255 із 256 можливих за застосування однобайтного коду операції.

1.2. Підімкнення зовнішньої пам’яті програм

Під час звернення до зовнішньої пам'яті програм старший байт адреси передається через порт Р2. Видача молодшого байта адреси, а також і передавання байта даних здійснюється через порт Р0 в режимі часового мультиплексування.

Підключення зовнішньої пам’яті програм для випадку, коли ЕМА = 0, показано на рис. 4.7, де D та A – входи даних та адреси відповідно.

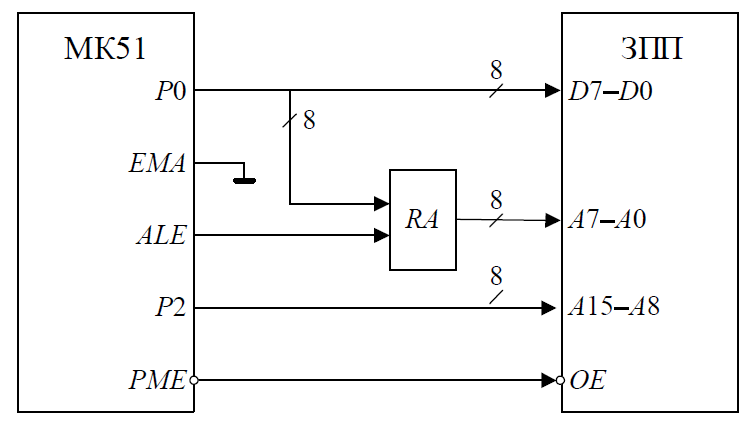


Рис. 1.2. Підключення зовнішньої пам’яті програм

У даній роботі до мікроконтролера підключається 3 сторінки ПП по 4Кб.

1.3. Підімкнення зовнішньої пам’яті даних

Звернення до зовнішньої пам'яті даних здійснюється тільки з використанням непрямої адресації, із застосуванням регістрів R1, R0 (команди MOVX A,@Rr і MOVX @Rr,A) або регістру-покажчика даних (команди MOVX A,@DPTR і MOVX @DPTR,A). У першому випадку формуватиметься восьмирозрядна адреса, в другому – шістнадцятирозрядна. Видача адреси і передавання байта даних здійснюється аналогічно зовнішній пам'яті програм через порти Р0 і Р2. Під час звернення до зовнішньої пам’яті даних молодший байт адреси видається на порт Р0 і старший байт – на порт Р2 мікроконтролера. Обмін байтом даних (запис або зчитування) відбувається через порт Р0 мікроконтролера, що працює як шина адреси/даних у режимі мультиплексування.

Загальна схема підімкнення зовнішньої пам’яті даних зображена на рис. 1.3.

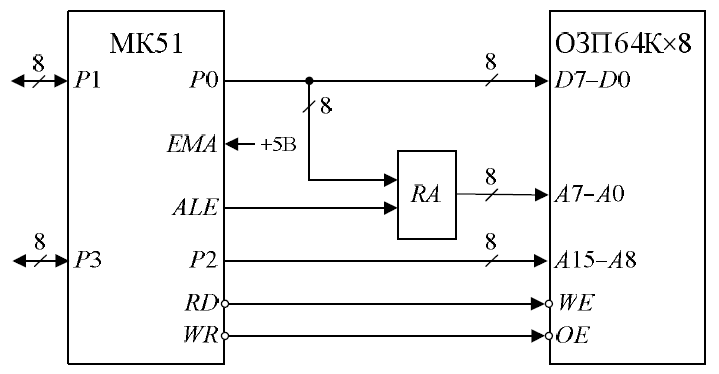


Рис. 1.3. Схема підключення зовнішньої пам’яті даних

Селектор адрес будується на вході CS останньої (32) сторінки зовнішньої пам’яті даних. Його призначення – визначення того, з чим ми будемо працювати: власне з пам’яттю чи з підключеними ЗП або ППА. Селектор адрес зображено, виходячи з карти розподілу пам’яті (рис. 1.4), на рис. 1.7.

|  |  |  |  |
| --- | --- | --- | --- |
| ... | | | |
| ЗП30 | РД | 003Fh | 0000 0000 0011 1111 |
| РС | 002Fh | 0000 0000 0010 1111 |
| ... | | | |
| ППА | РС | 003Ah | 0000 0000 0011 1010 |
| РВ | 002Ah | 0000 0000 0010 1010 |
| РА | 001Ah | 0000 0000 0001 1010 |
| РУС | 000Ah | 0000 0000 0000 1010 |
| ЗП10 | РД | 0019h | 0000 0000 0001 1001 |
| РС | 0009h | 0000 0000 0000 1001 |
| … | | | |
| ЗП1 | РД | 0010h | 0000 0000 0001 0000 |
| РС | 0000h | 0000 0000 0000 0000 |

Рис. 1.4. Карта розподілу останньої сторінки пам’яті даних



Рис. 1.5. Селектор адреси для ЗП1

1.4. Контролер пріорітетних переривань (КПП)

Під перериванням розуміють тимчасову при зупинку виконання програми і перехід на іншу підпрограму з можливістю повернення до перерваної.

Підключення контролеру пріоритетних переривань зображено на рис. 1.8.

В процесі ініціалізації системи процесор записує в регістр стану ЗП одиницю в біт дозволу переривання, якщо цей пристрій буде працювати в режимі переривання.

Коли ЗП уже готовий до обміну, встановлюється біт готовності в регістрі стану своїм контролером. При співпадінні сигналів готовності та дозволу переривання формується низьким рівнем сигнал вимоги переривання на спільній однопровідній шині.

Дешифратор МК перетворює переривання в необхідні управляючі сигнали для блоків мікросхеми. Регістр переривань служить для запису вхідних сигналів переривання, тобто IRQi(ЗП) та являє собою 8-ми розрядний регістр.

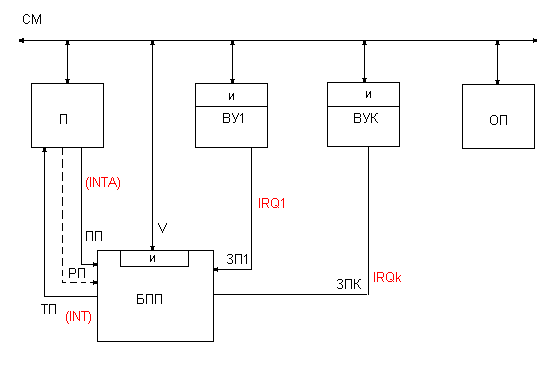


Рис. 1.6. Система з централізованим КПП

1.5. Контролер прямого доступу до пам’яті (КПДП)

Режим ПДП є найбільш швидкісним способом обміну, якій реалізується за допомогою спеціальних апаратних засобів – контролерів ПДП без використання програмного забезпечення. Для здійснення режиму ПДП контролер має виконати ряд послідовних операцій (рис. 1.10):

1) прийняти запит DREQ на ПДП від ЗП;

2) сформувати запит HRQ на захоплення шин для ЦП;

3) прийняти сигнал HLDA, що підтверджує цей факт, після того, як ЦП ввійде в стан захоплення (ШД, ША, ШУ в z-стані);

4) сформувати сигнал DACK, що повідомляє ЗП про початок виконання циклів ПДП;

5) сформувати на ША адрес комірки пам’яті, призначеної для обміну;

6) виробити сигнали MR, IOW и MW, IOR, що забезпечують керування обміном;

7) по закінченні ПДП або повторити цикл ПДП, змінивши адресу, або перервати ПДП, знявши запити на ПДП.



Рис 1.7. Структурна схема централізованого КПДП

1.6. Додаткові порти і ППА

Для збільшення кількості ліній зв’язку МК51 з об’єктом управління можна підключати додаткові чотирирозрядні порти Р4, Р5, Р6, Р7. У нашому випадку підімкнено порти Р5, Р6, Р7.

Команди передачі інформації між МК51 та додатковими портами виконуються за два цикли. В першому циклі на виходах Р2[3..0] встановлюється управляюче слово, в другому циклі – через зазначені виходи здійснюється обмін інформацією між МК51 та одним з додаткових портів. Формат управляючого слова показаний на рис. 1.8.



Рис. 1.8. Структура управляючого слова

Структурна схема підключення програмованого периферійного адаптера КР580ВВ55 до мікроконтролера МК51 приведена на рис. 1.9.

 Рис. 1.9. Структурна схема підключення програмованого периферійного адаптера КР580ВВ55 до мікроконтролера МК51

Адреси портів ППА входять у загальний адресний простір зовнішньої пам’яті даних. Для уникнення перетину адрес загального адресного простору ЗПД та ПЗА/ППА застосовано селектори адреси СА. Доступ до портів під час запису та читання здійснюється за застосування команд MOVX A,@Rr; MOVX @Rr,A (де, r = 1, 0).

2. Програмна частина

2.1. Приклад обчислення функції на мікроасемблері МК51

;sending operands to registers

Mov R7, #6

Mov R0, #19hMov R1, #60hrecord:Mov A, @R1

Mov @R0, A

Inc R0Inc R1Djnz R7, record

Mov PSW, #18h ;Rb3;calculations

;16(X1-1) & X2

Mov A, 19hDec A ;-1

Mov R1, #ffh ;

Mov R7, #4

shift: ;\*16

clr C

rlc A

xch A, R1

rlc A

xch A, R1

Djnz R7, shift

Anl A, R2 ; &X2Mov R0, A

;result in R1.R0

; (X3 + X4) \* X5Mov A, R3

Add A, R4

Mov B, R5Mul AB

Mov R2, A

Mov R3, B

;result in R3.R2

;16(X1-1)&X2 - (X3+X4)\*X5Clr C

Mov A, R0

Subb A, R2

Mov R0, A

Mov A, 19h

Subb A, R3Mov R1, A

;result in R1.R0

;(16(X1-1)&X2 - (X3+X4)\*X5) / (2\*X6)

;/X6

Mov A, 19h

Mov B, R6

Div AB

Mov fh, A

Mov A, R0Anl A, #f0h

Add A, B

Swap A

Mov B, R6

Div AB

Mov R7, A

Mov A, R0

Swap A

Anl A, #f0h

Add A, B

Swap A

Mov B, R6

Div ABSwap A

Add A, R7Swap A

Mov eh, A

;/2

Clr CMov A, fhRrc AMov fh, AMov A, ehRrc AMov eh, A

Nop

End

3. Структурна схема системи.

Структурна схема МПС приведена на кресленні НТУУ КПІ 15 3121 004. Е1. Її ядром є мікроконтролер КР1816ВЕ51.

До складу МПС входять такі основні функціональні частини:

1. Мікроконтролер МК-51.
2. Зовнішня ПД 32x64K, зовнішня ПП 3x4К.
3. Централізовані КПП та КПДП.
4. Зовнішні пристрої - 30 одиниць.
5. Додаткові порти P5, P6, P7.
6. Периферійний адаптер ВВ55.

4. Висновки

Розроблена МПС на основі МК-51 з підключенням зовнішньої пам’яті даних, зовнішньої пам’яті програм, периферійного адаптера та зовнішніх пристроїв.

5. Список літератури.

1. Бояринов А.Е., Дьяков И.А. *–* Архитектура микроконтроллеров MCS-51 – Тамбов: “Издательство ТГТУ”, 2005.
2. Конспект лекцій по курсу “Архітектура ЕОМ”.
3. Жабин В.И., Ткаченко В.В., Макаров В.В., Зайцев А.А. – Архитектура однокристальных ЭВМ. – Киев, “Век”, 1997.